

COMMON MEMORY CONTROL SYSTEM

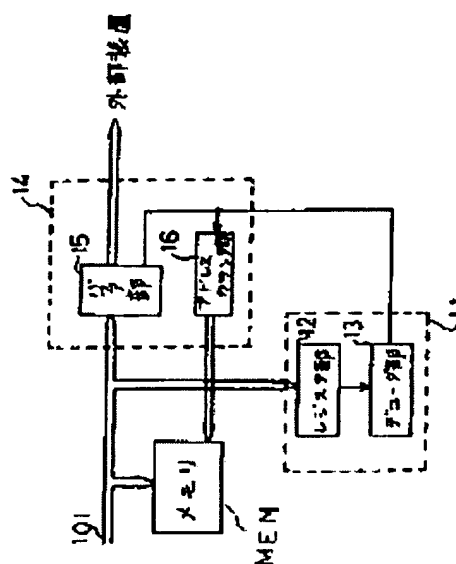
Patent number: JP60211559
Publication date: 1985-10-23
Inventor: SUGITA AKIHIRO
Applicant: NIPPON DENKI KK
Classification:
- **International:** G06F13/38
- **European:**
Application number: JP19840068667 19840406
Priority number(s):

Report a data error here

Abstract of JP60211559

PURPOSE: To use more efficiently a memory by adding a specific code before and after a data to be changed to prevent competition when the memory is used in common asynchronously and a computer revises the content of the memory.

CONSTITUTION: When the computer rewrites the data of the memory MEM, the specific code (SKIP and END) is added before and after the data to be modified and the result is transmitted to a data bus so as to revise the content of the memory. When the specific code SKIP is detected by a decoder section 13, it is transferred to a transfer control section 14, which stops the transfer of data. When the revision of the memory is finished, the decoder section 13 detects the specific code END, gives it to the control section 14, which restarts the data transfer. In this case, an address signal outputted by an address counter section 16 is not affected by the stop of data transfer. Further, the computer can revise optionally the content of memory as required. Thus, the competition of the use of the memory is prevented and the memory is used more efficiently.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

Westlaw Download Summary Report for SARALINO, MARK 3852457

Date/Time of Request:	Thursday, August 04, 2005 07:29:00 Central
Client Identifier:	BRAINLAB101
Database:	CTA
Citation Text:	212 F.3d 1241
Lines:	837
Documents:	1
Images:	0

The material accompanying this summary is subject to copyright. Usage is governed by contract with Thomson, West and their affiliates.

⑫ 公開特許公報(A)

昭60-211559

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)10月23日

G 06 F 13/38

7165-5B

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 共通メモリ制御方式

⑮ 特 願 昭59-68667

⑯ 出 願 昭59(1984)4月6日

⑰ 発 明 者 杉 田 明 広 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

明 細 書

1. 発明の名称

共通メモリ制御方式

2. 特許請求の範囲

コンピュータに接続されたメモリに格納されたデータを前記コンピュータとは非同期で外部へ転送する転送制御部を備えた共通メモリ制御方式において、前記コンピュータは変更中のデータの前後に特殊コードを付加してデータバス上に出送するようにし、上記データバス上のデータを解読し前記特殊コードを検出するメッセージデコード部を設けて、前記転送制御部は上記メッセージデコード部の出力信号によつてデータ転送動作を停止または再開することを特徴とする共通メモリ制御方式。

3. 発明の詳細な説明

発明の属する技術分野

本発明は、コンピュータとデータ転送回路(DMA等)が共通メモリを非同期で使用する場合のデータアクセスの競合を制御するための共通

メモリ制御方式に関する。

従来技術

従来、この種共通メモリを使用する場合は、メモリへの競合を防止するために、一方の装置がメモリ使用中は、他方のメモリアクセスを待たせるように制御するに過ぎない。しかし、上述の従来方式では、データ転送回路が例えばCRT画面のリフレッシュのように定期的なデータ転送を必要としている場合には、メモリアクセスの待合せによつて、リフレッシュのタイミングが狂ってしまうという欠点がある。また、データ転送側で、外部装置の処理能力等の都合でデータ転送を見合せているWAIT状態のときにもコンピュータがメモリを使用することができないという不都合もある。

発明の目的

本発明の目的は、上述の従来欠点を解決し、メモリを非同期で共通使用する場合に、それぞれのタイミングを狂わせることなくメモリ使用の競合を防止し、より効率的なメモリの使用を実現す

ることにある。

発明の構成

本発明の共通メモリ制御方式は、コンピュータに接続されたメモリに格納されたデータを前記コンピュータとは非同期で外部へ転送する転送制御部を備えた共通メモリ制御方式において、前記コンピュータは変更中のデータの前後に特殊コードを付加してデータバス上に送出するようにし、上記データバス上のデータを解説し前記特殊コードを検出するメッセージデコード部を設けて、前記転送制御部は上記メッセージデコード部の出力信号によつてデータ転送動作を停止または再開することを特徴とする。

発明の実施例

次に、本発明について、図面を参照して詳細に説明する。

第1図は、本発明の一実施例を示すブロック図である。すなわち、データバスに接続されたメモリMEMと、該メモリのデータをDMA転送する転送制御部14と、データバス上のメッセージを解説

3

カウントアップ動作を継続する。次に、メッセージデコード部11からEND信号を受信すると、通常の転送動作を再開する。このとき、アドレスカウンタ部16の出力するアドレス信号は、データ転送が中止されなかつた場合と同じであるから、データ転送の中止によつて転送データのタイミングが狂うことはない。

次に本実施例の動作について説明する。通常の転送動作については前述した通りであるが、コンピュータがメモリMEMのデータを書換えるときは、第2図に示すように、変更データの前後に特殊コード(SKIPとEND)を付加してデータバス上に送出し、メモリの内容を更新する。上述の特殊コードSKIPがデコード部13によつて検出されると該情報が転送制御部14に送出され、転送制御部14はデータの転送を停止する。従つて、変更中の不良データが外部へ送出されることはない。しかし、アドレスカウンタ部16は、カウントアップ動作を継続している。そして、メモリの更新が完了するとデコード部13が特殊コードENDを検出し、

5

し特殊コード(SKIPおよびENDコード)を検出すると該情報を示す信号を転送制御部14に送出してその動作を制御するメッセージデコード部11とから構成される。転送制御部14は、メッセージを外部装置へ出力するためのバッファ部15と、メモリMEMから転送するアドレスを決定するアドレスカウンタ部16等のハードウェアロジックによつて構成され、通常はメモリMEMの読出しアドレスを順次カウントアップしてデータを取り出し、バッファ部15から外部装置に出力している。

メッセージデコード部11は、データバス上のデジタルデータ101を一時保持するためのレジスタ部12と、レジスタ部12の出力を解説し、特殊コードを検出すると、その情報を転送制御部14に送出するデコード部13等のハードウェアロジックから構成されている。

前記転送制御部14は、通常の転送動作中に、メッセージデコード部11からSKIP信号を受信すると、バッファ部15から外部へのデータ転送を停止する。しかしアドレスカウンタ部16は、通常通り

4

その情報を転送制御部14に送り、転送制御部14は転送動作を再開する。この場合、アドレスカウンタ部16の出力するアドレス信号はデータ転送中止によつて何ら影響されていないから、転送データのタイミングが狂わないことは前述した通りである。従つて、例えば、画面のリフレッシュデータは対応する画面位置に表示されることになる。

一方コンピュータ側では、転送制御部14がメモリMEMを使用して転送動作中であるか否かに拘らず、必要なときに任意にメモリの内容を更新することが可能で、より効率的なメモリ使用ができる。

発明の効果

以上のように、本発明においては、コンピュータがメモリの内容を更新する際に、変更データの前後に特殊コードを付加するようにし、転送制御部は、上記特殊コードの検出によつてデータ転送の中止および再開を行ない、かつ、転送中止中も転送制御部内のアドレスカウンタ部は通常通りカウントアップを継続するように構成したから、変更

6

中の不良データを外部へ転送することを防止できるという効果がある。また、転送再開時に転送データのタイミングが狂うことがない。さらに、データ転送中にコンピュータがメモリにアクセスすることを禁止したり、コンピュータによるメモリ更新時に転送制御部からのメモリアクセスを禁止することがなく、より効率的なメモリ使用が可能となる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は上記実施例における変更データおよび特殊コードの挿入例を示す図である。

図において、11：メッセージデコーダ部、12：レジスタ部、13：デコーダ部、14：転送制御部、15：パツファ部、16：アドレスカウンタ部、101：デジタルデータ、MEM：メモリ。

出願人 日本電気株式会社

代理人 弁理士 佐田俊宗

図 1

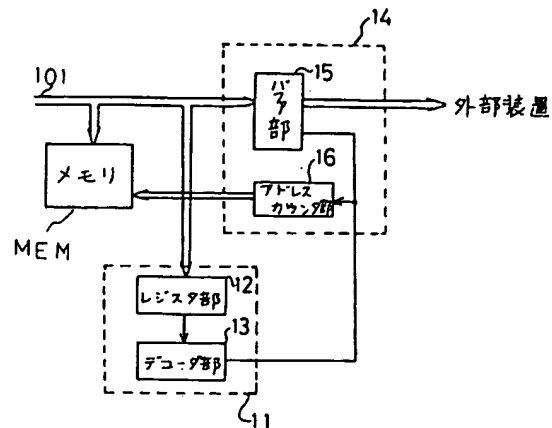


図 2

